

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshio ARAKAWA

Application No.:

Group Art Unit:

Filed: August 6, 2003

Examiner:

For: DESIGN METHOD FOR INTEGRATED CIRCUIT HAVING SCAN FUNCTION

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-240729

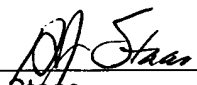
Filed: August 21, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: August 6, 2003

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年 8月21日

出 願 番 号
Application Number:

特願2002-240729

[ST.10/C]:

[JP2002-240729]

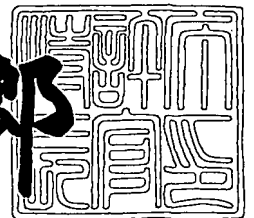
出 願 人
Applicant(s):

富士通株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009345

【書類名】 特許願

【整理番号】 0240423

【提出日】 平成14年 8月21日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/118

【発明の名称】 スキャン機能を有する集積回路の設計方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 荒川 利夫

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【選任した代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒徳

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】

明細書

【発明の名称】 スキャン機能を有する集積回路の設計方法

【特許請求の範囲】

【請求項 1】 論理回路を有する集積回路の設計方法において、

少なくとも第 1 のフリップフロップを含む複数の標準セルが接続された論理回路の接続データを有する第 1 のネットリストを、当該第 1 のフリップフロップをスキャン機能を有する第 2 のフリップフロップに変換し、当該第 2 のフリップフロップを接続するスキャンチェーン接続配線を追加して第 2 のネットリストに変換する第 1 の工程と、

前記第 2 のネットリスト内の第 2 のフリップフロップを、当該第 2 のフリップフロップを構成する複数の標準セルに置き換えて第 3 のネットリストを生成すると共に、スキャンチェーン接続配線データを生成する第 2 の工程と、

前記第 3 のネットリストに従って、それに含まれる標準セルとその接続配線とを配置し、前記スキャンチェーン接続配線データに基づいて、前記スキャンチェーン接続配線の順番を最適化してスキャンチェーン接続配線の順番データを生成する第 3 の工程と、

前記第 2 のフリップフロップと、前記スキャンチェーン接続配線の順番データに従うスキャンチェーン接続配線とを有する第 4 のネットリストから、前記第 2 のフリップフロップを、複数の標準セルに置き換えて第 5 のネットリストを生成し、前記第 5 のネットリストに従って、それに含まれる標準セルとその接続配線とを配置する第 4 の工程とを有することを特徴とする集積回路の設計方法。

【請求項 2】 請求項 1 において、

更に、前記第 4 のネットリストにもとづいて、論理回路のテストパターンを生成する工程を有することを特徴とする集積回路の設計方法。

【請求項 3】 請求項 1 において、

前記第 4 のネットリストは、前記第 1 のネットリストを、それに含まれる前記第 1 のフリップフロップを前記第 2 のフリップフロップに変換し、前記スキャンチェーン接続配線の順番データに従うスキャンチェーン接続配線を追加して形成されることを特徴とする集積回路の設計方法。

【請求項 4】請求項 1 において、

前記標準セルは、レイアウト情報を有するレイアウトライブラリに登録されたハードマクロであり、前記第 4 の工程では、当該レイアウトライブラリを参照して標準セルの配置が行われることを特徴とする集積回路の設計方法。

【請求項 5】請求項 1 において、

前記スキャン機能を有する第 2 のフリップフロップは、レイアウト情報を有するハードマクロとしてレイアウトライブラリに登録されていないことを特徴とする集積回路の設計方法。

【請求項 6】論理回路を有する集積回路の設計方法において、

少なくとも第 1 のフリップフロップを含む複数の標準セルが接続された論理回路の接続データを有する第 1 のネットリストを、当該第 1 のフリップフロップをスキャン機能を有する第 2 のフリップフロップに変換し、当該第 2 のフリップフロップを接続するスキャンチェーン接続配線を追加して第 2 のネットリストに変換する第 1 の工程と、

前記第 2 のネットリスト内の第 2 のフリップフロップを、当該第 2 のフリップフロップを構成する複数の標準セルに置き換えると共に、当該置き換えられた標準セルと周辺の標準セルとをより面積が小さい別の標準セルに置き換える最適化を行って第 3 のネットリストを生成する第 2 の工程と、

前記第 3 のネットリストに従って、それに含まれる標準セルとその接続配線とを配置する第 3 の工程とを有することを特徴とする集積回路の設計方法。

【請求項 7】請求項 6 において、

前記標準セルは、レイアウト情報を有するレイアウトライブラリに登録されたハードマクロであり、前記第 2 の工程において、前記レイアウトライブラリの実面積情報を参照して、前記別の標準セルに置き換える最適化を行うことを特徴とする集積回路の設計方法。

【請求項 8】請求項 6 において、

前記標準セルは、レイアウト情報を有するレイアウトライブラリに登録されたハードマクロであり、前記第 3 の工程では、当該レイアウトライブラリを参照して標準セルの配置が行われることを特徴とする集積回路の設計方法。

【請求項 9】請求項 6 において、

前記スキャン機能を有する第 2 のフリップフロップは、レイアウト情報を有するハードマクロとしてレイアウトライブラリに登録されていないことを特徴とする集積回路の設計方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、L S I（集積回路）の設計方法に関し、特にスキャン機能を有する集積回路の設計方法に関する。

【 0 0 0 2 】

【従来の技術】

L S I の設計工程は、所望の機能を実現するための論理回路を設計する論理設計工程と、論理設計工程で生成されたネットリストに基づいて、論理回路を構成する論理マクロや論理セル及びそれらを接続する接続配線をレイアウトする工程と、そのレイアウトされた論理回路のタイミング検証を行う検証工程などを有する。論理マクロや論理セルをレイアウトするためには、それらのレイアウトデータを有するレイアウトライブラリが参照される。また、タイミング検証に使用されるテストパターンは、論理マクロや論理セルの機能データを有する論理ライブラリが参照される。

【 0 0 0 3 】

なお、論理セルは、フリップフロップやNAND、NORゲートなどの比較的小規模の回路単位であり、論理マクロはプロセッサなどの比較的大規模の回路単位であるが、両者とも所定の機能を有する回路単位であり、論理ライブラリ及びレイアウトライブラリに登録されているので、以下総称して、標準セルまたはセルと称する。

【 0 0 0 4 】

大規模化された L S I では、検証用の回路としてスキャン回路を設けることが一般的に行われる。即ち、設計工程で、論理回路内の複数のフリップフロップをスキャン機能付きフリップフロップに置き換え、それらをスキャンチェーン接続

配線で接続した回路構成にし、検証工程で、所定のテストデータをスキャンインにより複数のフリップフロップに入力し、論理回路を所定サイクル動作させた後に、それらのフリップフロップ内のデータをスキャンアウトにより出力し、出力されたデータが期待値と一致するか否かの検証を行う。上記のテストデータは、論理設計された論理回路にスキャン回路を追加した回路をもとに、コンピュータによる設計ツールにより自動生成される。また、テストデータの生成のためには、前述したとおり、論理回路を構成するセルの論理データを有する論理ライブラリが参照される。

【 0 0 0 5 】

図 1 は、従来の L S I の設計工程を示すフローチャート図である。図 1 の工程 S 1 ～ S 4 は、全て C A D 設計ツールが有する機能により行われる。まず、論理設計工程 S 1 が終了した時点で、論理回路を構成するセル間の接続データを有するネットリスト N L 1 が生成される。この段階では、ネットリスト N L 1 内には、検証用のスキャン回路が含まれていない。つまり、テスト用データ (DFT : Design For Test) が含まれていない。

【 0 0 0 6 】

そこで、テスト回路合成工程 S 2 にて、論理回路内の遅延フリップフロップ (D - F F) を抽出して、その遅延フリップフロップをスキャン機能付きのスキャンフリップフロップに置き換えて、そのスキャンフリップフロップを任意の順番に接続してスキャンチェーンを形成する。その結果、ネットリスト N L 2 が生成される。このネットリスト N L 2 では、論理設計工程 S 1 で生成されたネットリスト N L 1 に対して、遅延フリップフロップがスキャンフリップフロップに置き換えられ、ネットリスト N L 1 の接続データに加えて、スキャンチェーンを形成する接続データが含まれる。

【 0 0 0 7 】

このネットリスト N L 2 に含まれるスキャン回路付きの論理回路に対して、テストパターンが自動生成される (S 3)。テストパターンの自動生成工程では、ネットリスト N L 2 に含まれるスキャン回路付きの論理回路のデータと、論理回路を構成するセル及び追加されたスキャンフリップフロップの論理データを有す

る論理ライブラリ F 1 0 とが参照されて、入力テストパターンと期待される出力テストパターンとが生成される。これらはテストパターンファイル F 1 2 として登録され、後のタイミング検証工程（図示せず）で利用される。

【 0 0 0 8 】

更に、ネットリスト N L 2 をもとにして、自動配置配線工程 S 4 が行われる。自動配置配線工程 S 4 では、ネットリスト N L 2 内の、論理回路を構成するセルのレイアウト及びそれらを接続する接続配線のレイアウトが、レイアウトライブラリ F 1 4 を参照して行われる。その結果、ネットリスト N L 2 に対するレイアウトデータファイル F 1 6 が生成される。このレイアウトデータファイルには、スキャンフリップフロップとそれを接続してスキャンチェーンを構成するスキャン接続配線のレイアウトデータも含まれる。そのため、自動配置配線工程 S 4 では、論理回路を構成するセルのレイアウトライブラリに加えて、スキャンフリップフロップのレイアウトライブラリも参照される。

【 0 0 0 9 】

ここで、テスト用データ D F T は、スキャンフリップフロップとそれを接続する接続配線であるが、従来の方法では、ネットリスト N L 2 に含まれるテスト用データは、ハードマクロであるスキャンフリップフロップにより構成される。ハードマクロとは、レイアウトライブラリに登録されていて、ネットリストから直接レイアウト可能なセルをいう。従って、上記の例では、スキャンフリップフロップはレイアウトライブラリに登録済みであるので、ハードマクロである。一方、ソフトマクロとは、レイアウトライブラリには登録されておらず、従って、レイアウトするためには、ソフトマクロの機能を実現する複数のハードマクロ（標準セル）に展開し、その展開した標準セルについてレイアウトライブラリのレイアウト情報を利用する必要がある。

【 0 0 1 0 】

図 1 に戻り、更に、自動配置配線工程 S 4 で生成されたレイアウトデータ F 1 6 について、全てのレイアウトされた接続配線が実現可能か否かがチェックされ、実現可能でない場合、論理回路を構成するセル及びそれらの接続配線を優先したときに、スキャン回路によるスキャンチェーン用の接続配線がレイアウト可能

可否かがチェックされる。それが不可能な場合は、セルやその接続配線の配置は変更せずに、スキャンチェーン配線の順番のみを変更するリオーダー工程が行われる。スキャンチェーンの順番を変更することで、その接続配線が簡素化されて、レイアウトが可能になる可能性があるからである。もしリオーダー工程が行われると、スキャン回路が変更されることになるので、テストパターン自動生成工程 S 3 が再度行われ、新たなスキャンチェーンを有する論理回路に対するテストパターン F 1 2 が再度作成される。

【 0 0 1 1 】

【発明が解決しようとする課題】

しかしながら、ネットリストから自動配置配線工程によりレイアウトデータを生成するためには、上記のとおり、レイアウトライブラリに登録されている標準セルのレイアウト情報を有するハードマクロを参照する必要がある。そのため、論理設計工程 S 1 で生成されたネットリスト N L 1 に含まれる標準セルのハードマクロに加えて、テスト回路合成工程 S 2 で挿入されたスキャンフリップフロップのハードマクロも、レイアウトライブラリ F 1 4 に登録しておくことが必要になる。

【 0 0 1 2 】

従って、スキャン機能付きの論理回路を設計してレイアウトを行うためには、スキャン機能を実現するためのスキャンフリップフロップのレイアウトライブラリ（ハードマクロライブラリ）が必要になり、ライブラリ登録の工数が増加するという課題がある。

【 0 0 1 3 】

また、スキャンフリップフロップのレイアウトライブラリを使用しないでスキャン機能を実現するためにスキャン回路を挿入し、それを複数の標準セルに展開した場合には、回路規模が大きくなるという課題がある。

【 0 0 1 4 】

そこで、本発明の目的は、スキャン回路用のレイアウトライブラリを必要とせずに、標準セルのレイアウトライブラリだけでスキャン回路を有する論理回路の自動配置を可能にする集積回路の設計方法を提供することにある。

【 0 0 1 5 】

また、本発明の別の目的は、スキャン回路用のレイアウトライブラリを必要とせずに、標準セルのレイアウトライブラリだけでスキャン回路を有する論理回路の自動配置を可能にし、且つレイアウト時の面積を小さくした集積回路の設計方法を提供することにある。

【 0 0 1 6 】

更に、本発明の別の目的は、スキャン回路を挿入した論理回路のレイアウト時の面積を小さくした集積回路の設計方法を提供することにある。

【 0 0 1 7 】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面は、論理回路を有する集積回路の設計方法において、少なくとも第1のフリップフロップを含む複数の標準セルが接続された論理回路の接続データを有する第1のネットリストを、当該第1のフリップフロップをスキャン機能を有する第2のフリップフロップに変換し、当該第2のフリップフロップを接続するスキャンチェーン接続配線を追加して第2のネットリストに変換する第1の工程と、第2のネットリスト内の第2のフリップフロップを、当該第2のフリップフロップを構成する複数の標準セルに置き換えて第3のネットリストを生成すると共に、前記スキャンチェーン接続配線データを生成する第2の工程と、第3のネットリストに従って、それに含まれる標準セルとその接続配線とを配置し、前記スキャンチェーン接続配線の順番を最適化してスキャンチェーン接続配線の順番データを生成する第3の工程と、第2のフリップフロップと、前記スキャンチェーン接続配線の順番データに従うスキャンチェーン用接続配線とを有する第4のネットリストから、前記第2のフリップフロップを、複数の標準セルに置き換えて第5のネットリストを生成し、第5のネットリストに従って、それに含まれる標準セルとその接続配線とを配置する第4の工程とを有することを特徴とする。

【 0 0 1 8 】

上記第1の発明の側面によれば、上記第3の工程でレイアウト可能なスキャンチェーン用接続配線の順番データを一旦求め、その順番データを利用して生成し

た第4のネットリストから標準セルで構成される第5のネットリストに対して自動配置を行うので、スキャン機能付きの第2のフリップフロップのレイアウトライブラリを用いることなく、集積回路の設計を行うことができる。

【 0 0 1 9 】

上記の目的を達成するために、本発明の第2の側面は、少なくとも第1のフリップフロップを含む複数の標準セルが接続された論理回路の接続データを有する第1のネットリストを、当該第1のフリップフロップをスキャン機能付きの第2のフリップフロップに変換し当該第2のフリップフロップを接続するスキャンチェーン用接続配線を追加して、第2のネットリストに変換する第1の工程と、第2のネットリスト内の第2のフリップフロップを、当該第2のフリップフロップを構成する複数の標準セルに置き換えると共に、当該置き換えられた標準セルと他の標準セルとを、より面積が小さい別の標準セルに置き換えて第3のネットリストを生成する第2の工程と、第3のネットリストに従ってそれに含まれる標準セルとその接続配線とを配置し、レイアウトデータを生成する第3の工程とを有する。

【 0 0 2 0 】

上記第2の発明の側面によれば、スキャン機能を有する第2のフリップフロップを、複数の標準セルに置き換え、更に、その置き換えられた標準セルと他の標準セルとを別の標準セルに置き換えることで、第2のフリップフロップを追加したことに伴う面積の拡大をより小さく抑えることができる。

【 0 0 2 1 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【 0 0 2 2 】

図2は、本実施の形態に対する比較例としての設計工程のフローチャート図である。本実施の形態を説明するまえに、図1の従来例を一部変更した図2の比較例について説明する。

【 0 0 2 3 】

この比較例では、論理設計工程 S 1 で生成したネットリスト N L 1 を、テスト回路合成工程 S 2 にて、スキャン機能付きフリップフロップをスキャンチェーン接続させた試験回路を有する論理回路のネットリスト N L 2 を生成する。この工程は、従来例と同じように、遅延フリップフロップをスキャンフリップフロップに置き換え、更にそれらスキャンフリップフロップを接続するスキャンチェーン接続配線を追加することで変換が行われる。但し、比較例では、レイアウトライブラリに試験回路用のスキャンフリップフロップのハードマクロを登録しない例であり、従って、ネットリスト N L 2 内のスキャンフリップフロップは、複数の標準セルに展開する必要があるソフトマクロである。

【 0 0 2 4 】

ネットリスト N L 2 で定義されている論理回路に対して、テストパターンが自動生成される (S 3) 。これも従来例と同じであり、論理ライブラリ F 1 0 に登録されているスキャンフリップフロップと標準セルの論理データを参照して、テストパターン F 1 2 が生成される。この段階では、スキャンフリップフロップが存在するので、テストパターンの生成が可能である。

【 0 0 2 5 】

更に、比較例では、スキャンフリップフロップのハードマクロを利用せずに自動配置を行うために、ネットリスト N L 2 内のスキャンフリップフロップを、同じ機能を実現できる複数の標準セル (ハードマクロ) に展開する (S 1 0) 。

【 0 0 2 6 】

図 3 は、ソフトマクロのスキャンフリップフロップをハードマクロである標準セルに展開した例を示す図である。図中、破線のブロックはソフトマクロを、実線のブロックはハードマクロをそれぞれ示す。テスト回路として利用されるスキャンフリップフロップは、セクタ SEL と遅延フリップフロップ D-FF と NAND ゲートとで構成される。つまり、ソフトマクロのスキャンフリップフロップ SFF は、3 つの標準セルに展開可能である。そして、これらの標準セル SEL、D-FF、NAND は、それぞれ論理ライブラリ F 1 0 に登録されていると共に、ハードマクロとしてレイアウトライブラリ F 1 4 にも登録されている。従って、ソフトマクロであ

るスキャンフリップフロップSFFは、より下層の複数のハードマクロに展開されることで、ハードマクロのレイアウト情報を利用してレイアウト可能になる。

【 0 0 2 7 】

このスキャンフリップフロップは、本来の論理回路を構成するセルとしての機能と、テストパターンの入出力に利用されるスキャン回路としての機能とを有する。スキャンモード信号SMがHレベルの時に、スキャン回路として機能し、スキャン入力SIを遅延フリップD-FFのデータ入力Dに接続し、データ出力QをNANDゲートを経由してスキャン出力端子SOに出力する。また、スキャンモード信号SMがLレベルの時に、論理回路を構成する遅延フリップフロップD-FFとして機能し、通常のデータ入力Dを遅延フリップフロップD-FFのデータ入力に接続する。データ出力Qは、そのままデータ出力端子Qから出力される。

【 0 0 2 8 】

図2に戻り、ネットリストNL3のテスト回路は、図3のように標準セルで構成される。従って、ネットリストNL3を構成する全てのセルは、そのハードマクロとしてレイアウトライブラリF14に登録済みの標準セルである。そこで、ネットリストNL3について、レイアウトライブラリF14を参照して、自動配置配線が行われ、レイアウトデータF16が生成される（S4）。

【 0 0 2 9 】

以上のように、テスト回路として追加したスキャンフリップフロップをソフトマクロとして取り扱い、自動配置配線工程を行う時に、そのソフトマクロを同じ機能を実現する複数の標準セル（ハードマクロ）に展開することで、スキャンフリップフロップのハードマクロをあらかじめ登録する必要はなくなる。しかしながら、スキャンフリップフロップを一旦複数の標準セルに展開することにより、元のスキャンフリップフロップのデータが失われてしまう。つまり、ネットリストNL3には、スキャンフリップフロップのデータが存在せず、それに伴いスキャンチェーン接続配線を区別することができない。その結果、自動配置配線工程時に、スキャンチェーン配線の順番を最適化することができない。従って、スキャンフリップフロップのハードマクロを利用する必要はないが、スキャンチェーンの接続配線を再配置する最適化ができないので、混雑度によっては配線のレイ

アウトができない場合がある。

【 0 0 3 0 】

図 4 は、本実施の形態における設計工程のフローチャート図である。この実施例では、ソフトマクロによるテスト回路を追加したあと、ハードマクロに展開するときに、スキャンチェーンを構成する接続データを生成しておき、ハードマクロに展開したネットリストから自動配置を行った時点で、スキャンチェーンの順番の最適化を行う。そして、この最適化で得られたスキャンチェーンの順番データを利用して、最適化されたスキャンチェーンの順番になるようにスキャンフリップフロップ（ソフトマクロ）を接続したネットリストを生成する。この生成されたネットリストからテストパターンを生成し、そのソフトマクロをハードマクロに展開してから自動配置配線工程を行ってレイアウトデータを生成する。自動配置配線工程では、すでにスキャンチェーン配線の最適化は行われているので、スキャンチェーン配線を再度最適化することなくレイアウト可能になる。

【 0 0 3 1 】

以下、図 4 にしたがって設計工程を詳述する。従来例や比較例と同様に、論理設計工程 S 1 により、複数の標準セルを接続した論理回路のネットリスト N L 1 が生成される。このネットリスト N L 1 には、テスト回路は含まれていない。そこで、テスト回路合成工程 S 2 にて、ネットリスト N L 1 内の遅延フリップフロップをスキャンフリップフロップに置き換えて、更に、任意の順番でスキャンフリップフロップを接続するスキャンチェーンの接続配線を追加して、ネットリスト N L 2 を生成する。この段階では、スキャンフリップフロップは、ソフトマクロである。

【 0 0 3 2 】

図 5 は、ネットリスト N L 1 の一例を示す図である。このネットリストの論理回路は、入力 I N と出力 O U T 1, 2 とクロック端子 C L K とを有し、更に論理回路群内に 6 個の遅延フリップフロップ①～⑥が含まれている。この論理回路は、入力 I N が供給されて、クロック C L K に同期して回路が動作し、出力 O U T 1, 2 が出力される。その動作において、6 個の遅延フリップフロップ D-FF にそれぞれのデータが保持される。従って、ネットリスト N L 1 は、論理回路群を構成す

る複数の標準セルとそれに含まれる遅延フリップフロップのデータと、それらを接続する接続配線データとを含む。

【 0 0 3 3 】

図 6 は、テスト回路合成工程 S 2 により生成されたネットリスト N L 2 の一例を示す図である。図 5 の遅延フリップフロップ D-FF は、全てスキャンフリップフロップ SFF に置き換えられ、更に、スキャンフリップフロップのスキャン入力 S I とスキャン出力 S O とを接続するスキャンチェーン接続配線とスキャンデータ入力端子 SDI とスキャンデータ出力端子 SDO とが追加されている。また、スキャンモードと通常モードとの切換を行うスキャンモード信号 S M をスキャンフリップフロップ SFF に供給する配線も追加されている。このスキャンフリップフロップ SFF は、ソフトマクロであり、論理的な情報からなる論理ライブラリには登録されているが、レイアウト情報からなるレイアウトライブラリには登録されていない。

【 0 0 3 4 】

図 6 に示されたテスト回路付きの論理回路では、スキャンデータ入力端子 SDI からテストパターン入力をスキャンインして、6 個のスキャンフリップフロップにテストパターンを保持させる。その状態で、クロック CLK を供給して論理回路に所定サイクル動作を行わせて、その後スキャンフリップフロップに保持されたデータをスキャンアウトによりスキャンデータ出力端子 SDO から出力する。その出力されたデータと期待値であるテストパターンとを比較することで、論理回路の動作検証が行われる。

【 0 0 3 5 】

図 4 に戻り、テスト回路合成工程 S 2 で生成されたネットリスト N L 2 では、テスト回路を構成するスキャンフリップフロップがソフトマクロで構成され、その接続順は任意の順番になっている。この時に、スキャンフリップフロップ SFF を接続するスキャンチェーン接続配線のデータが、スキャンチェーンデータ F 2 0 として抽出される。このデータには、どの配線がスキャンチェーン接続配線であるかを示すデータである。つまり、図 6 に示した、スキャンデータ入力 SDI と初段のスキャン入力 S I とを接続する配線と、各スキャンフリップフロップ間の

スキャン出力S Oとスキャン入力S Iとを接続する配線と、最終段のスキャン出力S Oとスキャンデータ出力SD0とを接続する配線とが、このスキャンチェーンデータF 2 0に含まれる。

【 0 0 3 6 】

そこで、スキャンフリップフロップ変換工程S 1 0にて、ネットリストNL 2内のソフトマクロからなるスキャンフリップフロップが、図4に示したように複数のハードマクロに展開されて、ネットリストNL 3が生成される。この時、スキャンチェーンデータF 2 0はそのまま維持される。従って、ソフトマクロからなるスキャンフリップフロップがハードマクロである複数の標準セルに展開されても、そのスキャンチェーン接続配線がどれであるかのデータは維持される。

【 0 0 3 7 】

ハードマクロに展開されたネットリストNL 3に基づいて、レイアウトライブラリF 1 4を参照することで、自動配置工程S 4が行われる。ネットリストNL 3内のセルは全てレイアウトライブラリにハードマクロとして登録された標準セルであるので、自動配置を行うことができる。自動配置工程では、レイアウトライブラリのレイアウト情報にしたがって各セルの配置が決定され、更に、セル間を接続する接続配線のレイアウトも決定される。その自動配置のアルゴリズムは、一般的なものであり、ここでは詳述しない。

【 0 0 3 8 】

図7は、スキャンチェーンのリオーダ前のレイアウト状態の一例を示す図である。図7には、スキャンフリップフロップとそれを接続するスキャンチェーン接続配線のみが示され、論理回路を構成するセルは省略されている。図8に示されるとおり、ソフトマクロであるスキャンフリップフロップSFFは、セクタSと遅延フリップフロップDFFとNANDゲートNからなるハードマクロに展開されている。従って、セクタSと遅延フリップフロップDFFとNANDゲートNとでスキャンフリップフロップ単位が構成され、スキャンフリップフロップ単位内の配線経路は破線で示される通りであり、スキャンフリップフロップ単位間のスキャンチェーン配線経路は実線で示される通りである。図8では、スキャンモード制御信号やクロックの配線、論理回路用の接続配線は省略されている。

【 0 0 3 9 】

図 7 には、6 つのスキャンフリップフロップ単位がレイアウトされている。図 8 と同様に、スキャンフリップフロップ単位内配線は破線で、単位間のスキャンチェーン配線は実線で示されている。そのスキャンチェーン配線の順番は、図 6 に示されたとおり SDI-①-②-③-④-⑤-⑥-SD0 である。自動配置工程 S 4 では、各セルが所定のレイアウトアルゴリズムに従って最適化された位置にそれぞれ配置され、セル間の接続配線もレイアウトされる。

【 0 0 4 0 】

スキャン回路は、スキャンフリップフロップにテストパターンをスキャンインし、動作後のテストパターンをスキャンアウトできれば良い。従って、実線のスキャンチェーン配線の順番は変更可能である。しかし、各スキャンフリップフロップ単位は維持される必要があり、破線の配線は変更することはできない。

【 0 0 4 1 】

図 4 に戻り、前述のとおり、実線のスキャンチェーン配線は、スキャンチェーンデータ F 2 0 として抽出されている。従って、この配線の順番を変更するスキャンチェーンのリオーダが、自動配置工程 S 4 にて行われる。

【 0 0 4 2 】

図 9 は、スキャンチェーンのリオーダ後のレイアウト状態の一例を示す図である。ハードマクロのレイアウトによれば、スキャンフリップフロップ単位①の NAND と③のセレクトが、③の NAND と⑤のセレクトが、②の NAND と④のセレクトが、④の NAND と⑤のセレクトが、それぞれ近接している。そこで、リオーダにより実線のスキャンチェーン配線の順番を SDI-①-③-⑤-②-④-⑥-SD0 に変更した結果が、図 9 に示される。これ以外のリオーダも可能であるが、図 7 のリオーダ前に比較すると、実線のスキャンチェーン配線は単純化され、レイアウト可能になっている。

【 0 0 4 3 】

そして、上記のスキャンチェーン配線の順番である SDI-①-③-⑤-②-④-⑥-SD0 はスキャンチェーンオーダファイル F 2 2 として生成される。

【 0 0 4 4 】

図4に示されるとおり、一旦最適化されたスキャンチェーン配線の順番データF22が生成されると、ネットリストNL1に対して、再度テスト回路合成工程S11によりテスト回路を有するネットリストNL4が生成される。この時、テスト回路を構成するスキャンフリップフロップの接続順は、スキャンチェーンオーダファイルF22の順番データに従って決められる。従って、生成されたネットリストNL4は、図6のネットリストNL2と、スキャンチェーン配線の順番がSDI-①-③-⑤-②-④-⑥-SD0になっていること以外は同じである。

【0045】

ネットリストNL4の生成は、図6に示したネットリストNL2のスキャンチェーン配線の順番を、スキャンチェーンオーダファイルF22の順番に変更することによっても可能である。

【0046】

ネットリストNL4は、テスト回路がソフトマクロであるスキャンフリップフロップにより構成されている。そこで、従来例と同様に、テストパターン自動生成工程S12にて、ネットリストNL4に対して、テストパターンF12が生成される。この時、標準セルとスキャンフリップフロップの論理データを有する論理ライブラリF10が参照される。このテストパターンには、前述の通り、入力用テストパターンと期待値用テストパターンとが含まれる。

【0047】

次に、論理最適化工程S13において、ネットリストNL4内のソフトマクロが、ハードマクロに展開されてネットリストNL5に変換される。この論理最適化工程S13では、スキャンフリップフロップ変換工程S10において行ったソフトマクロのスキャンフリップフロップをハードマクロの標準セルに展開することに加えて、新たに展開された標準セルと元々存在していた周辺の標準セルとを組み合わせ、論理圧縮を行い、同じ機能を実現できる別のセルに置き換えるセルの最適化が行われる。このように複数の標準セルの組合せを変えることで、回路規模が小さい集積回路にすることができる。

【0048】

図10は、論理最適化工程の一例を示す図である。図10には、ネットリスト

N L 4 (図中 (A)) が論理最適化によりネットリスト N L 5 (図中 (C)) に変換された例が示される。ネットリスト N L 4 内のスキャンフリップフロップ S F F の前段に N A N D ゲート G 1 が存在しているものとする。これのネットリスト N L 4 内のソフトマクロであるスキャンフリップフロップ S F F をハードマクロである標準セル S E L、S F F、G 0 に展開したものが図中 (B) に示される。この状態はネットリスト N L 3 と同じである。

【 0 0 4 9 】

ここで、図中右欄に N A N D ゲート G 1 を A N D ゲートとインバータに、セクタ S E L を A N D ゲート G 2、G 3 と O R ゲート G 4 とインバータ G 5 にそれぞれ展開した論理回路を示す。A N D ゲート G 3 とその前段の 2 つのインバータを合体すると N O R ゲートに変換できる。その結果、論理最適化により、ネットリスト N L 5 では、N A N D ゲート G 1 とセクタ S E L とが、A N D / N O R ゲート (5) と A N D / O R ゲート (6) とに置き換えられる。

【 0 0 5 0 】

図 1 0 (D) は、レイアウトライブラリの一例を示し、各ハードマクロ (1) ~ (6) の面積比率が、N A N D ゲートの 1 . 0 を基準として示される。つまり、N A N D ゲート G 1 とセクタ S E L との面積比率の合計は、 $1 . 0 + 2 . 2 5 = 3 . 2 5$ である。それに対して、A N D / N O R ゲート (5) と A N D / O R ゲート (6) との面積比率の合計は、 $1 . 2 5 + 1 . 7 5 = 3 . 0$ であり、N A N D ゲート G 1 とセクタ S E L で展開した時よりも面積を小さくすることができる。

【 0 0 5 1 】

上記のような論理最適化によりスキャンフリップフロップ単位を構成するセルと周辺セルとの間で論理圧縮を行うことにより、論理回路内の遅延フリップフロップをスキャンフリップフロップに変換したことに伴う面積の増加と、ソフトマクロを複数のハードマクロに展開したことに伴う面積の増加とを、少しでも抑制することができる。

【 0 0 5 2 】

図 4 に戻り、論理最適化工程 S 1 3 により生成されたネットリスト N L 5 は、ハードマクロを有する標準セルを接続した論理回路である。従って、ネットリス

トNL5に基づいて、レイアウトライブラリF14を参照し、自動配置配線工程S14が行われ、そのレイアウトデータF16が生成される。この段階では、スキマチェーン配線が最適化されそのレイアウトが可能であることが検証済みであるので、その順番のリオーダは行われぬ。また、既にスキマチェーンオーダファイルの順番に基づいて形成されたネットリストNL4について、テストパターンF12が生成済みであるので、リオーダを行うことはできない。リオーダによりスキマ回路構成が変更されるからである。

【0053】

この自動配置配線工程S14では、レイアウトされた配線の遅延時間データが計算される。その時、各信号配線が仕様で決められたセットアップタイムとホールドタイムを満足できるか否かがチェックされる。通常、レイアウト工程ではホールドタイムを満足できるように信号配線が形成され、セットアップタイムを満足できない場合に、その信号配線内に遅延ゲートが挿入される。そのようにセットアップタイムやホールドタイムを満足させるための遅延ゲートを加えたネットリストNL6も、自動配置配線工程S14で生成される。また、その信号配線の遅延時間データF24も生成される。

【0054】

そして、その後のタイミング検証工程S15にて、ネットリストNL6と、遅延データF24と、テストパターンF12にしたがって、論理回路のタイミング検証が行われる。タイミング検証でエラーが検出される場合は、遅延ゲートを挿入したりしてエラーを回避するようにされる。

【0055】

以上の実施の形態例によれば、論理回路のテスト回路を挿入する場合に、スキマ回路を構成するスキマフリップフロップのレイアウトライブラリが必要でないので、ライブラリ開発期間を短縮することができる。また、スキマ回路を挿入しても、論理最適化により回路規模をある程度削減することができる。

【0056】

図4のフローチャートにおいて、スキマフリップフロップ変換工程S10と論理最適化工程S13とが異なることにともない、ネットリストNL3とネット

リストNL5とでは、構成される標準セルがわずかに異なる。これをなくすためには、スキャンフリップフロップ変換工程S10でも論理最適化を行うようにすれば良い。

【0057】

以上、実施の形態例をまとめると以下の付記の通りである。

【0058】

(付記1) 論理回路を有する集積回路の設計方法において、

少なくとも第1のフリップフロップを含む複数の標準セルが接続された論理回路の接続データを有する第1のネットリストを、当該第1のフリップフロップをスキャン機能を有する第2のフリップフロップに変換し、当該第2のフリップフロップを接続するスキャンチェーン接続配線を追加して第2のネットリストに変換する第1の工程と、

前記第2のネットリスト内の第2のフリップフロップを、当該第2のフリップフロップを構成する複数の標準セルに置き換えて第3のネットリストを生成すると共に、スキャンチェーン接続配線データを生成する第2の工程と、

前記第3のネットリストに従って、それに含まれる標準セルとその接続配線とを配置し、前記スキャンチェーン接続配線データに基づいて、前記スキャンチェーン接続配線の順番を最適化してスキャンチェーン接続配線の順番データを生成する第3の工程と、

前記第2のフリップフロップと、前記スキャンチェーン接続配線の順番データに従うスキャンチェーン接続配線とを有する第4のネットリストから、前記第2のフリップフロップを、複数の標準セルに置き換えて第5のネットリストを生成し、前記第5のネットリストに従って、それに含まれる標準セルとその接続配線とを配置する第4の工程とを有することを特徴とする集積回路の設計方法。

【0059】

(付記2) 付記1において、

更に、前記第4のネットリストにもとづいて、論理回路のテストパターンを生成する工程を有することを特徴とする集積回路の設計方法。

【0060】

(付記 3) 付記 2 において、

前記テストパターンは、前記論理回路内の第 2 のフリップフロップに入力する入力テストパターンと、所定サイクル動作後に当該第 2 のフリップフロップから出力する期待値テストパターンとを有することを特徴とする集積回路の設計方法。

【 0 0 6 1 】

(付記 4) 付記 2 において、

前記第 4 のネットリストに含まれた前記第 2 のフリップフロップと標準セルは、論理情報を有する論理ライブラリに登録されており、前記テストパターン生成工程では、前記論理ライブラリが参照されることを特徴とする集積回路の設計方法。

【 0 0 6 2 】

(付記 5) 付記 1 において、

前記第 4 のネットリストは、前記第 1 のネットリストを、それに含まれる前記第 1 のフリップフロップを前記第 2 のフリップフロップに変換し、前記スキャンチェーン接続配線の順番データに従うスキャンチェーン接続配線を追加して形成されることを特徴とする集積回路の設計方法。

【 0 0 6 3 】

(付記 6) 付記 1 において、

前記標準セルは、レイアウト情報を有するレイアウトライブラリに登録されたハードマクロであり、前記第 4 の工程では、当該レイアウトライブラリを参照して標準セルの配置が行われることを特徴とする集積回路の設計方法。

【 0 0 6 4 】

(付記 7) 付記 1 において、

前記スキャン機能を有する第 2 のフリップフロップは、レイアウト情報を有するハードマクロとしてレイアウトライブラリに登録されていないことを特徴とする集積回路の設計方法。

【 0 0 6 5 】

(付記 8) 論理回路を有する集積回路の設計方法において、

少なくとも第 1 のフリップフロップを含む複数の標準セルが接続された論理回路の接続データを有する第 1 のネットリストを、当該第 1 のフリップフロップをスキャン機能を有する第 2 のフリップフロップに変換し、当該第 2 のフリップフロップを接続するスキャンチェーン接続配線を追加して第 2 のネットリストに変換する第 1 の工程と、

前記第 2 のネットリスト内の第 2 のフリップフロップを、当該第 2 のフリップフロップを構成する複数の標準セルに置き換えると共に、当該置き換えられた標準セルと周辺の標準セルとをより面積が小さい別の標準セルに置き換える最適化を行って第 3 のネットリストを生成する第 2 の工程と、

前記第 3 のネットリストに従って、それに含まれる標準セルとその接続配線とを配置する第 3 の工程とを有することを特徴とする集積回路の設計方法。

【 0 0 6 6 】

(付記 9) 付記 8 において、

前記標準セルは、レイアウト情報を有するレイアウトライブラリに登録されたハードマクロであり、前記第 2 の工程において、前記レイアウトライブラリの面積情報を参照して、前記別の標準セルに置き換える最適化を行うことを特徴とする集積回路の設計方法。

【 0 0 6 7 】

(付記 1 0) 付記 8 において、

前記標準セルは、レイアウト情報を有するレイアウトライブラリに登録されたハードマクロであり、前記第 3 の工程では、当該レイアウトライブラリを参照して標準セルの配置が行われることを特徴とする集積回路の設計方法。

【 0 0 6 8 】

(付記 1 1) 付記 8 において、

前記スキャン機能を有する第 2 のフリップフロップは、レイアウト情報を有するハードマクロとしてレイアウトライブラリに登録されていないことを特徴とする集積回路の設計方法。

【 0 0 6 9 】

【発明の効果】

以上、本発明によれば、スキャン回路を構成するスキャンフリップフロップのハードマクロライブラリを生成することなく、スキャン回路付きの論理回路を有する集積回路を設計することができる。また、本発明によれば、スキャン回路を含む集積回路の回路規模を抑制することができる。

【図面の簡単な説明】

【図 1】

従来の L S I の設計工程を示すフローチャート図である。

【図 2】

本実施の形態に対する比較例としての設計工程のフローチャート図である。

【図 3】

ソフトマクロのスキャンフリップフロップをハードマクロである標準セルに展開した例を示す図である。

【図 4】

本実施の形態における設計工程のフローチャート図である。

【図 5】

ネットリスト N L 1 の一例を示す図である。

【図 6】

ネットリスト N L 2 の一例を示す図である。

【図 7】

スキャンチェーンのリオーダ前のレイアウト状態の一例を示す図である。

【図 8】

ソフトマクロとハードマクロに展開したスキャンフリップフロップ単位の例を示す図である。

【図 9】

スキャンチェーンのリオーダ後のレイアウト状態の一例を示す図である。

【図 1 0】

論理最適化工程の一例を示す図である。

【符号の説明】

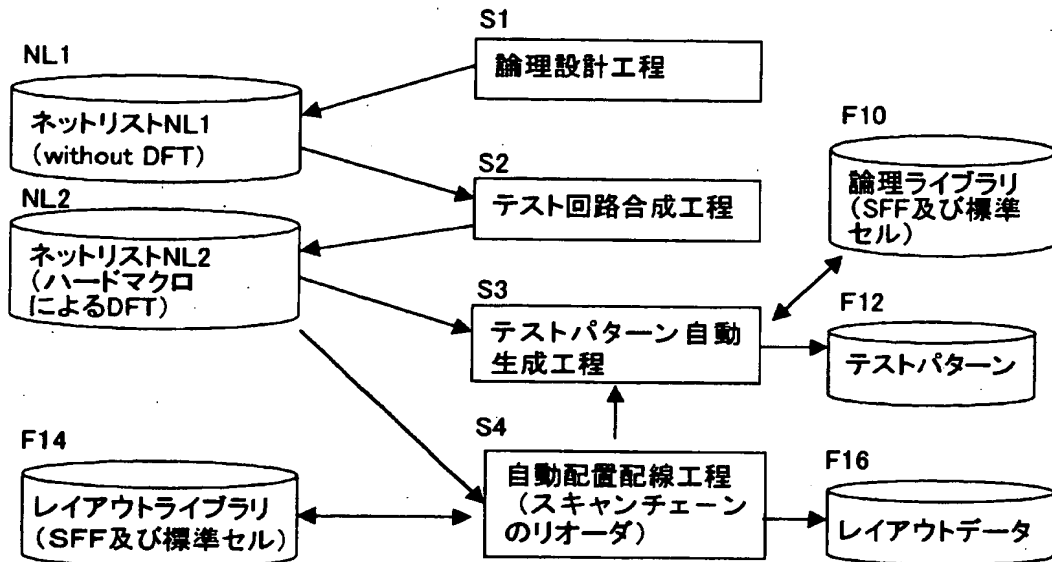
N L 1 ～ N L 5 第 1 ～ 第 5 のネットリスト

F 1 0	論理ライブラリ
F 1 2	テストデータ
F 1 4	レイアウトライブラリ
F 2 0	スキャンチェーン接続データ
F 2 2	スキャンチェーン接続順番データ
D - F F	遅延フリップフロップ
S F F	スキャンフリップフロップ

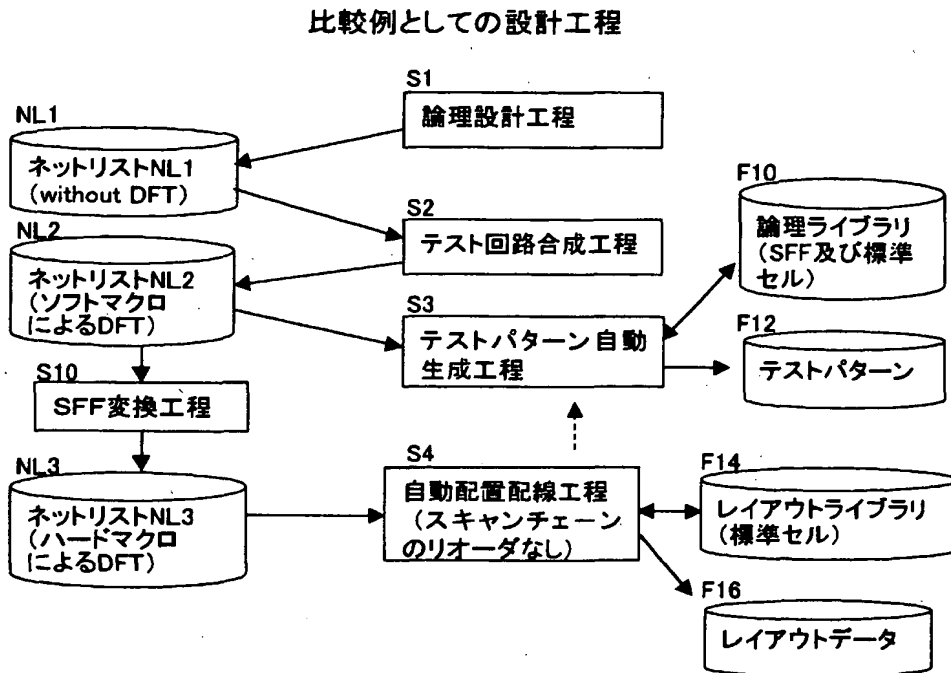
【書類名】 図面

【図 1】

従来の設計工程

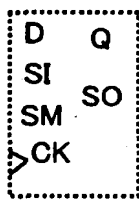


【図 2】



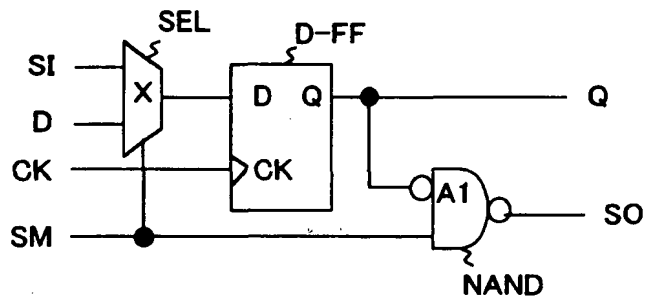
【図 3】

ソフトマクロのSFF



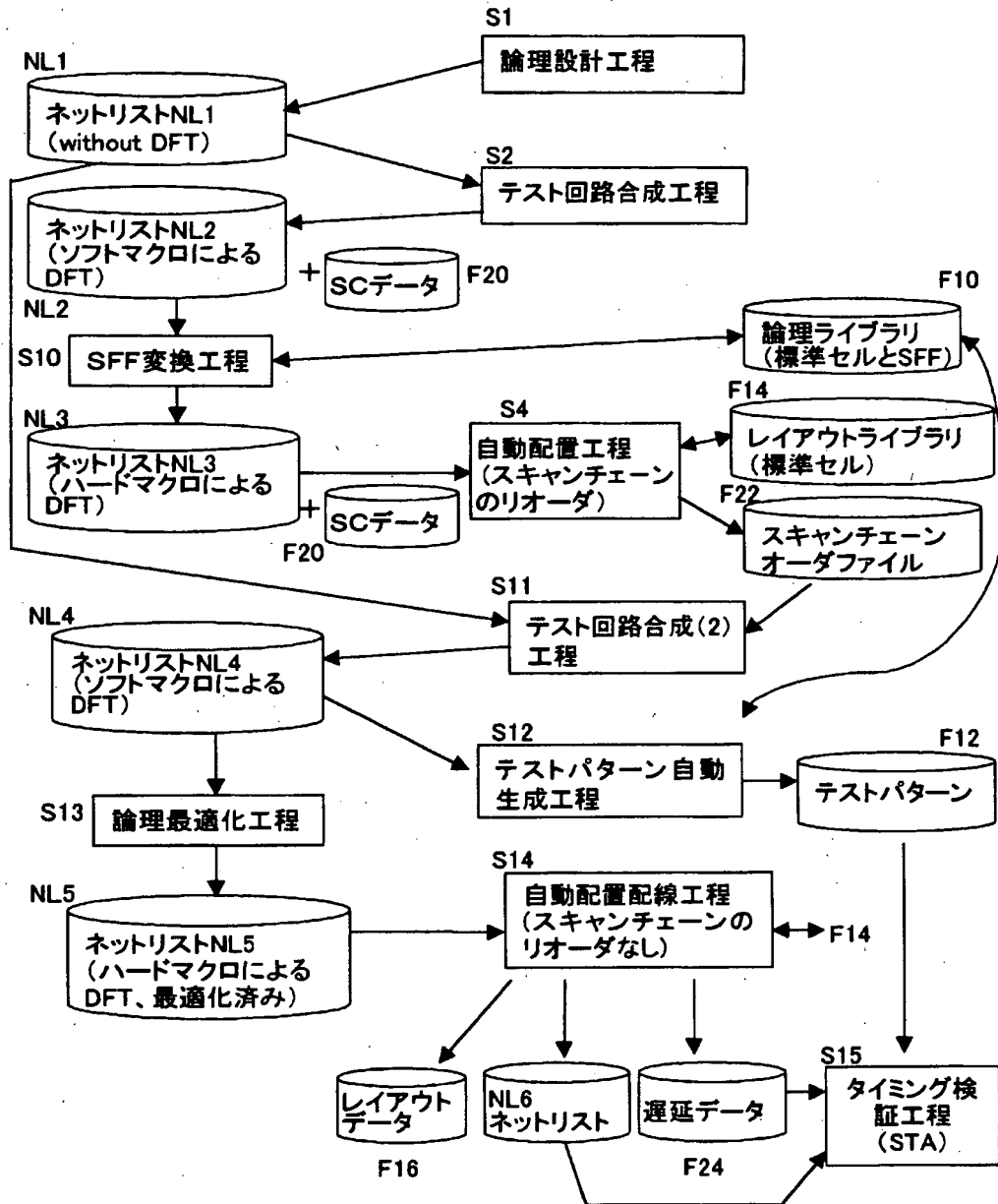
=

標準セルに展開したSFF

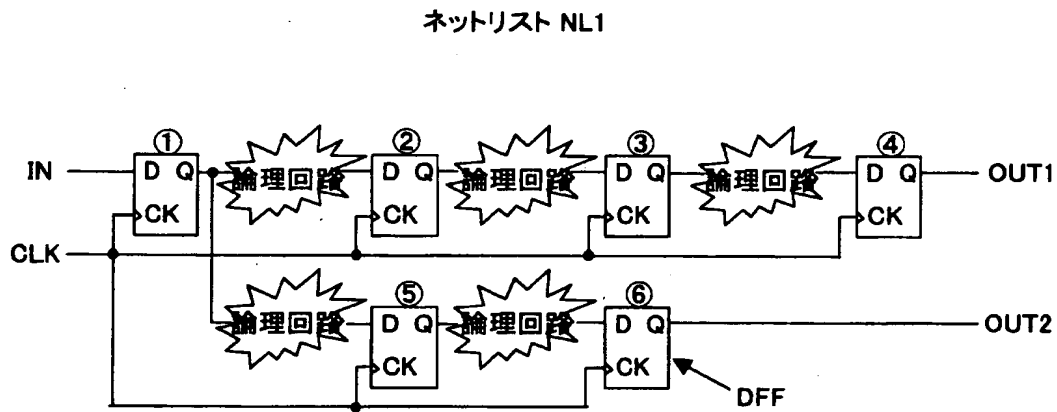


【図 4】

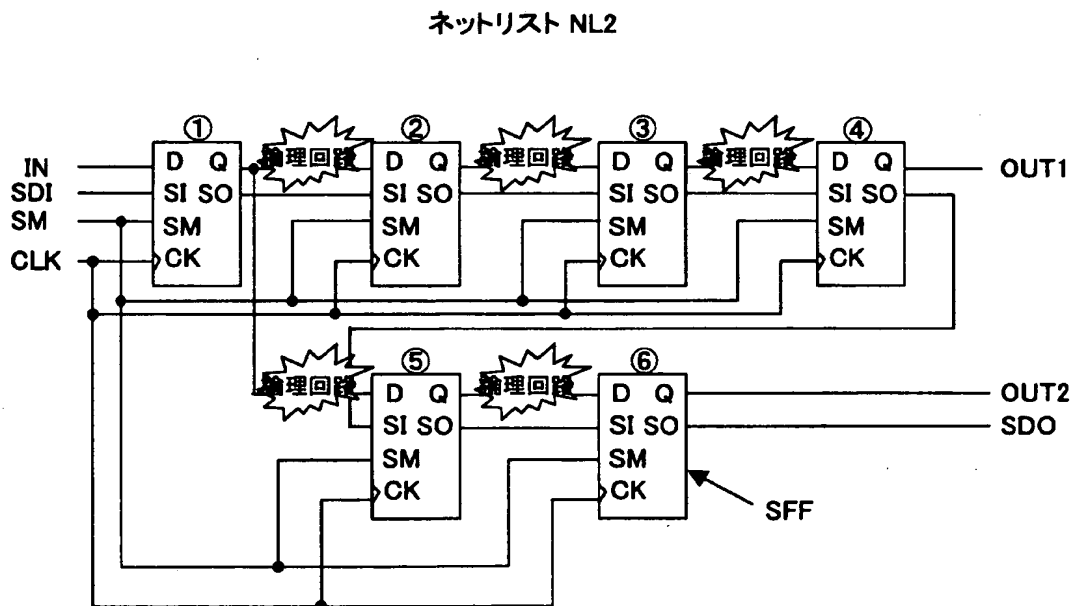
本実施の形態例の設計工程



【図 5】

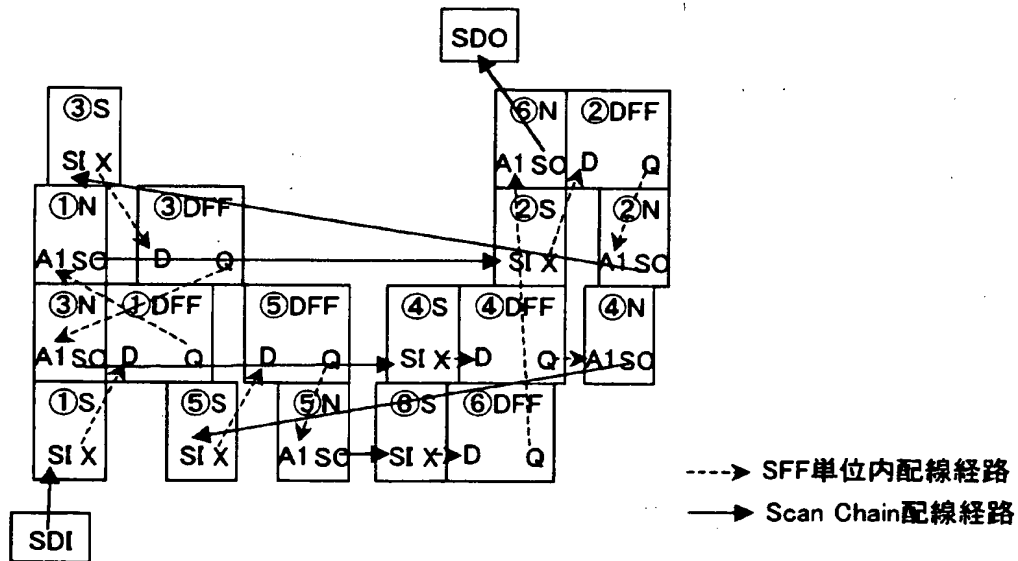


【図 6】



【図 7】

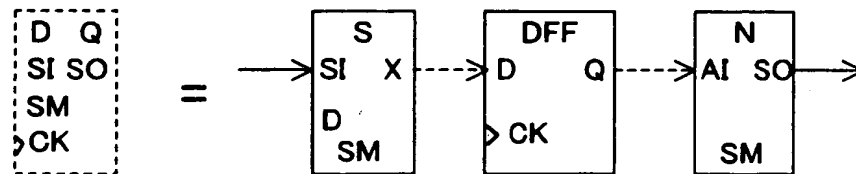
スキャンチェーンのリオーダ前の状態



【図 8】

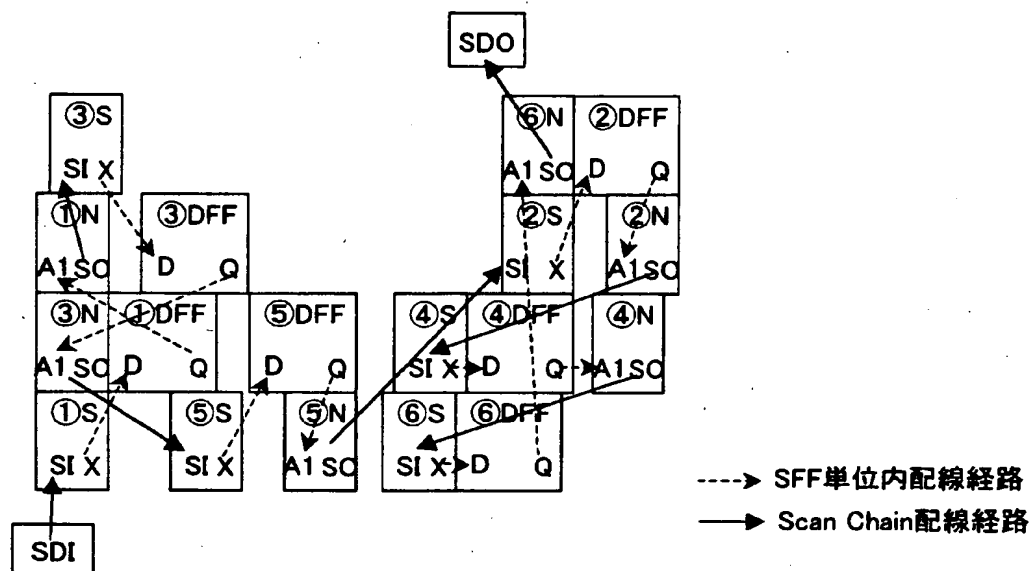
ソフトマクロSFF

ハードマクロに展開されたSFF単位

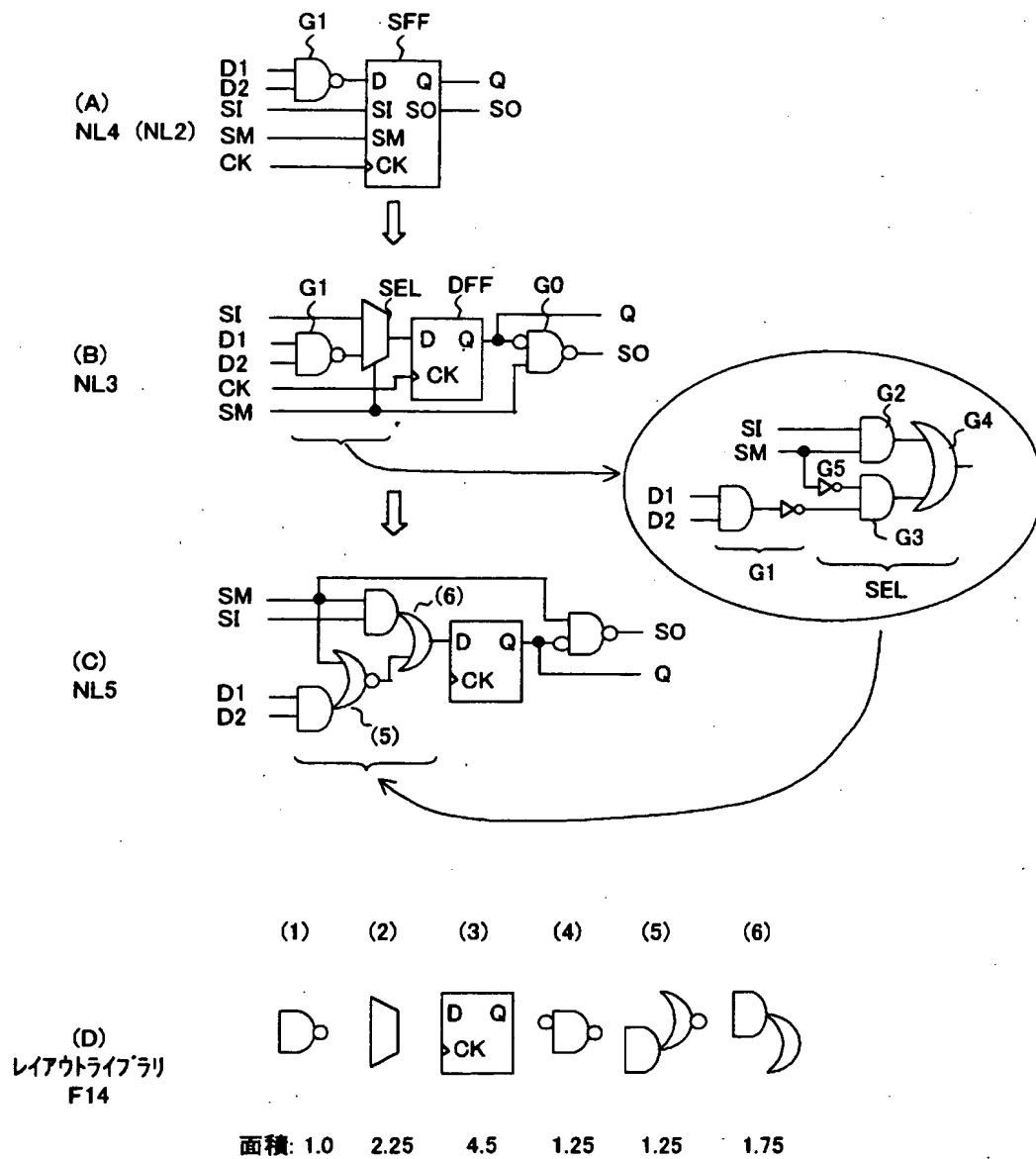


【図 9】

スキャンチェーンのリオーダ後の状態



【図10】



【書類名】

要約書

【要約】

【課題】 スキャン回路を構成するスキャンフリップフロップのハードマクロライブラリを生成することなく、スキャン回路付きの論理回路を有する集積回路を設計する方法を提供する。

【解決手段】 ハードマクロだけの第3のネットリストNL3をレイアウトし、レイアウト可能なスキャンチェーン用接続配線の順番データを一旦求め、その順番データを利用して生成した第4のネットリストNL4から標準セルで構成される第5のネットリストNL5に対して自動配置を行う。従って、スキャン機能付きの第2のフリップフロップのレイアウトライブラリを用いることなく、レイアウト可能な集積回路の設計を行うことができる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社